

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-121643

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.⁵

H 0 1 L 25/00

識別記号

庁内整理番号

F I

技術表示箇所

A 7220-4M

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平3-347650

(22)出願日 平成3年(1991)12月4日

(31)優先権主張番号 9 0 1 5 2 1 0

(32)優先日 1990年12月5日

(33)優先権主張国 フランス(FR)

(71)出願人 592002536

マトラ・マルコーニ・スペース・フランス
MATRA MARCONI SPACE
FRANCEフランス国、75116 パリ、リュ・ドウ・
ブレスプール、4

(72)発明者 ドウ・ジブリ・ジャック

フランス国、78350 レ・ロジェ・ザン・
ジョザ、リュ・デュ・ビュク、25

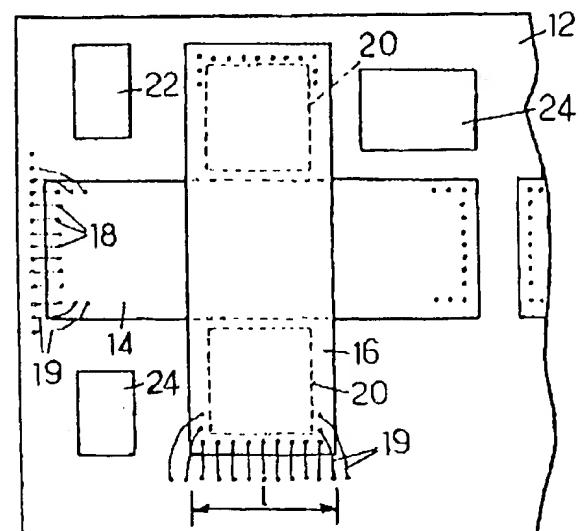
(74)代理人 弁理士 津国 肇 (外2名)

(54)【発明の名称】 固体メモリモジュール及びこのようなモジュールを含むメモリデバイス

(57)【要約】

【構成】 各々細長い形状を有し各々その端部に出力端部が位置づけられた複数の半導体メモリチップを相互接続基板上に含むメモリモジュールにおいて、1つのチップの出力接続部がスタック内のそのすぐ下にあるチップを超えたところにくるように交差された互いに積層された2つ以上のチップを含む3次元に分布された高密度実装メモリモジュール。

【効果】 チップを3次元に分布する際生じる相互接続の問題点を避けながら、メモリモジュールの高密度実装を可能とする。



【特許請求の範囲】

【請求項1】 各々同じ細長い形状を有し各々その端部に出力接続部が位置づけられた複数の半導体メモリチップを相互接続基板上に含むメモリモジュールにおいて、1つのチップの出力接続部がスタック内のそのすぐ下にあるチップを超えたところにくるように交差された互いに積層された2つ以上のチップ（14、16；38、40）を含むこと、を特徴とするメモリモジュール。

【請求項2】 支持ブロック（20、30、32）がチップの片持ち式端部の下にあることを特徴とする、請求項1に記載のモジュール。

【請求項3】 細長い形状を有しその端部に出力接続部が位置づけられた複数の半導体メモリチップを相互接続基板上に含み、各チップはその幅の2倍以上の長さをもつモジュールにおいて、2つの互いに平行な同一チップ（38）のセットが積層され第1のセットのチップと同一である2つの互いに平行なチップのもう1つのセットと直角に交差していること、を特徴とするモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータシステム内で用いられるメモリデバイス、特に大容量メモリの分野に関する。

【0002】

【従来の技術】コンピュータシステムのメモリ容量の必要条件はつねに増大しつつある。数多くの場合において、利用可能なスペースはできるかぎり小さくなくてはならない。これらの必要条件のため、増々高度に集積化した単体型コンポーネントが開発されるに至った。1990年、読みとり／書き込みランダムアクセスメモリ（RAM）コンポーネントの容量は、スタティックRAMについて1Mビット、DRAMについて4Mビットに達した。これらの容量は又、チップが高密度でとりつけられようようにする相互接続方法をも導き出した。一定の体積内の容量をさらに増大させるため、相互接続基板上の複数の重畳チップから成るスタックを含むメモリモジュールが提案された。かくして、チップは1つの平面のみの中に分布させられる代りに3次元に分布させられる。残念なことに、チップの相互接続とりわけ、費用と時間のかかる反復的工程を生じさせる基板とチップの間の接続についての問題が発生した。チップは精確に重畳されているため、最下位のチップに対する接続を行ない、次にスペーサを設置し、次のチップを上固定して、この新しいチップを配線するといった作業が必要である。

【0003】複数のチップすなわち大容量メモリ、プロセッサ及びプログラムメモリを含むスタックを作る提案もなされてきた（日本特許要約書第11巻、148号、E506、1987年5月14日、及び特開昭61-2

87133号公報）。これらのチップは、基板からプログラムメモリである最後のチップまでサイズが減少していくものである。その他のものよりも小さいプログラムメモリは、同じ方向に細長くなったその他の2つのチップに対し横方向に置かれている。3つのチップは異なるサイズのものであるため、相互接続が可能である。これは、メモリモジュールのさまざまな同一サイズのメモリと基板の相互接続を容易にすることを追求している本発明の目的ではない。

10 【0004】

【発明が解決しようとする課題】本発明は、これまでに提案されてきた解決法を妨げていた相互接続問題を避けながらも、一つの平面内ではなく3次元でチップを分布させることにより現在一般に用いられている実装密度を増大しようとするものである。

【0005】

【課題を解決するための手段】この目的のため、本発明は、既存の大容量メモリチップのほとんどがきわめて細長い矩形をしており、このようなチップの出口接続部は往々にしてその2つの端部に集中しているという考察事項を活用する。例えば、1MビットのメモリチップHC628-128はそれぞれ14.4mm及び5.7mmである長さしと幅1を有し、各端部に16の接続タブをもつ。従って、本発明は、請求項1に記載のメモリモジュールを提案する。

【0006】2つの連続するチップはつねに互いに交差されている。これは、底部2つのチップが同じ要領で方向づけされている上述の日本特許文書内に記述されているものと同じ配置ではない。

30 【0007】チップが交差する方法のため、下位チップが上位チップへの接続を妨げないことから、接続は各チップの両端に対し難無く行なうことができる。一見して2つのチップの交差構成は全くスペースを節約しない。しかしながら、コンデンサ及び／又は集積論理回路といったより小さなサイズの補助コンポーネントをメモリと結びつけることがつねに必要な。これらの小さなサイズのコンポーネントは、交差の分岐の間に置くことができる。

40 【0008】チップが十分に細長くされると、3つのチップを互いに対し60度の角度を成して交差させることができる。

【0009】2つの交差チップが用いられるにせよ3つの交差チップが用いられるにせよ、チップの端部タブにアルミニウム又は金のワイヤを接続するためのはんだづけ機がチップの張り出し部分を押し下げることがないようにするため、チップの端部の下にサポートを置くことが望ましい。

50 【0010】張り出しを避けるための毎度サポートを介在させた状態で、2つの交差チップのスタック上にその他の2チップセットを重ねさせることができる。

3

【0011】各チップが幅の2倍以上の長さをもつ場合に適用可能である本発明の有利な一実施態様は、請求項3に記されている。この配置によりコンパクト性を著しく増大することができる。

【0012】本発明は、制限的な意味のない例として与えられている本発明の特定の実施態様についての以下の記述を読んだ時点で、より良く理解できることだろう。この記述は添付図面を参考に行っている。

【0013】

【実施例】図1に概略的に示されているマイクロモジュールは、形状が細長くされた2つのメモリチップ14及び16と支持基板12を含む。チップ14は、例えば混成回路を支持するセラミック基板であってよい基板12上に直接ボンディングされた形で付着されている。チップ14の出力タブ18は、ワイヤ19（一般にアルミニウム又は金で作られている）により支持基板12上に形成されたトラックに接続され、熱圧着又は熱音波ボンディングにより固定される。チップ16はチップ14と交差されこれに接着され、その出力タブは同様に、タブ18に対する接続のために用いられるワイヤよりも長いワイヤ19により支持基板12上のトラックに接続されている。チップは、腐食の危険性無しに絶縁性エポキシ又はシリコン樹脂を用いて接着され、チップの表面は、接着剤と接触する領域において、パッシベーションされている。ボンディングプローブを係合させるときの望ましくない張り出しを避けるため、チップ14と同じ厚みをもつブロック20すなわち非常に薄い（一般に0.3mm未満）サポートが、チップ16の端部の真下に介在させられる。一般にシリコン製のブロックを用いることができ、このブロックは拒絶されたチップのフラグメントであってよい。

【0014】現在、チップ14及びブロック20それからチップ16を設置することのできる自動機械が利用可能である。

【0015】チップ14と16により形成された交差の分岐の間に残っている無駄なゾーンは、コンデンサ22ならびにバッファレジスタ、結合回路などの付随する論理回路といったような小さなサイズのコンポーネントを収容することができる。

【0016】図2に示されているように、図1に示されている種類の2セットのチップを積み上げてかくしてさらにスペースを節約することが可能である。チップ14の上に置かれたチップ14aは、チップ16及びサポート34によりチップ14から離隔され、このときサポート34はワイヤ19に対するボンドと干渉しないよう、また、ワイヤの圧壊を避けるための少量の張り出しを残さなくてはならない。このことは、チップ16aと16の間に置かれたサポート36についても言えることである。

【0017】このような方法で積層することができるチ

4

ップ対の数は、特に従来の自動組立て技法により制限される：すなわち、熱音波ボンディング機は、同じワイヤの2つの端部で形成されたボンドの間に限られた量のオフセットしか受入れることができない。図2は、ワイヤ19aの端部ボンドの間のオフセットが、ワイヤ19の端部におけるボンド間のオフセットよりもすでに著しく大きいことを示している。

【0018】チップの対の数に対するもう1つの制限は、組立てプロセスが反復性をもつことによるものである：図1においては、単一のボンディングシーケンスで充分であるのに対し、図2に示されているケースについては、第1の対を設置しそれにワイヤをボンディングしなければならず、次に第2段階のチップをその上に接着することが必要で最終的にもう1回のワイヤボンディング作業が行なわれることから、2つのシーケンスが必要である。

【0019】メモリチップの長さ(L)対幅(l)の比が充分大きい場合、単一の作業で星構成に配置されたより多くのチップの配線を可能にするため2つ以上のチップを交差させることが可能となる。特に、互いに60度の間隔をおいて3つのチップを用いることができる。図3に示されているように、星状に4つのチップ14、16、26及び28を置くことも可能である。この場合、異なる厚み及びサイズのサポート20、30及び32を具備する必要がある。チップ及びサポートは当初接着により組立てられ、その後、図1に示されているケースと同様に配線が行なわれる。

【0020】図4は、節減できるスペースの量を張り出しの欠如のため、特に有利である本発明の一実施態様を示している。図4に示されているマイクロモジュールは、下部対のチップ38と上部対のチップ40を含む。各対の中の2つのチップは互いに対し平行に配置され、他方の対の2つのチップとの関係において交差されている。チップ38は、基板の上に直接接着され、これらのチップは、上に置かれたチップ40の端部部分が張り出さないような形で離隔されている。チップが比較的正確に設置されることを保証するため、チップ38の間にブロック42を置いてよい。チップ14間の間隔どりは、チップ38の終端部分、特にワイヤ19のためのその上のタブを覆いのない状態に残すようなものである。この組立ては、その中央領域内に出力タブ44を有するチップについても用いることができる。

【0021】図4に示されているデバイスにおいて、集積密度は実際、通常の実装に比べて2倍である。

【0022】個別にテストでき又、プリント回路トラックを用いてマイクロモジュールの全てのインターフェイス接続を出力タブ46のモジュール上で単一縁部に沿って持ち出された状態で小さなサイズの基板12を用いてもう1つのマイクロモジュールと互換することのできる個別のマイクロモジュールを作り上げることが可能であ

る。

【0023】図4に示されている種類の複数のマイクロモジュールを厚膜回路を支持するか又は同時ベーキングされたタイプのより大きなサイズのサポートの片面又は両面上にとりつけることができる。図5は、例えば厚膜技術で相互接続回路を支持するサポート45上に固定された基板12を各々1つ有する4つのマイクロモジュールを示す。このサポート45は同様に補助コンポーネントをも支持している。

【0024】図5Aに示されている種類のモジュールにおいて、基板12の真下を通るサポート45上の母線を具備することにより、接続はきわめて単純なものとなる。このとき基板接続タブは、基板内のメッキスルーホールを介して母線のワイヤに接続される。代替的には、図5B内に概略的に示されているように、ボンディングされた一定長のワイヤ52を用いて母線50の導線に対し接続を行なうことも可能である。

【0025】図6に示されているように、サポート45には両面にマイクロモジュールが具備されている。かくして、バイト状に組織されたメモリに相応する各面上の4つのマイクロモジュールを有するモジュールを作成することが可能である。このようなモジュールは、図7に示されているように、フレーム54及び密封されたカバー56をもつ金属製パッケージの中に置くことができる。このサポートは、サポート内側のリンクを介して両面を接続することができる現在市販されている「マルチチップモジュール」と呼ばれる両面基板の1つであってもよい。

【0026】図8に示されているもう1つの可能な配置においては、図5Aに示されている構成を各々有する2つのマイクロモジュールが1つのサポート58上に重畳されている。このとき2つのマイクロモジュールは同一であるが、下位のマイクロモジュールの接続ワイヤの平坦化を避けるため、間に間隔どりブロック60を具備しなくてはならない。図9に概略的に示されているもう1つの解決法は、下位マイクロモジュールの支持基板12より大きい面積の支持基板12aをもち、かくして上位モジュールがフレーム形状のブロック60上に載ることができるようになって上位モジュールを用いることから成る。このときブロック60は、下位マイクロモジュールから基板12aまでワイヤを通すための間隙を残す厚みを有する。

【0027】図9に示されているケースにおいて、支持基板は、もう1つの基板から180度の角度を成してよく又、外部接続タブ46の各列がサポート58上の真直ぐな母線の場所に相応するように設計されている。

【0028】図6に示されている種類の複数のモジュールを、メモリデバイスを構成するため親カードを支持する金属製のハウジング又はフレームの内部に平行に並置

させることが可能である。図6は、このようなフレームの壁62が、サポート45が中に係合するスロットを伴って形成されることを示している。回路により生成された熱は、バネ64によりスロットの壁に押しつけられたサポート45の縁部により散逸される。親カード（図示せず）は、フレームの底部に具備されている。

【0029】図10は、図6に示されているデバイスの一変形態様を構成するデバイスを示す。フレームの底部66は、その後部面に、メモリ又はバッファフリップフロップのセット、コンデンサなどのコンポーネント70をオプションとして支持することのできる親カード68を支持している。各々各面上に4つのチップのセットを1つずつ支持しているサポート45はここでもスロット（図示せず）により誘導されている。フレーム内のハウジングに収容されたヘヤピンバネ72がスロットの壁に対してサポートの縁部を押しやり、かくして優れた熱接触を保証している。サポート45には、高温ボンディング又は加圧下の電気溶接などによりサポートに固定された等しい長さの出力ピン74の列が具備されている。出力ピン74は、一般に、「マルチチップモジュール」と一般に呼ばれるタイプのセラミックス製の同時ベーキングされた回路によって或いは又厚層回路によって構成されている親カード68と接触している。このカードは、出力ピン74を収容する場所で予め局所的にすずめっきされている。次に出力ピン74は、例えば蒸気相での単一の再溶融作業によりすずメッキされた部域内に固定される。

【0030】このような形で構成されたアセンブリは、親カードを延ばす平行な出力端のついたパッケージの中に密閉される。

【0031】図10に示された構造は、マイクロモジュールを3mmの間隔どりで置き、かくして4Mビットのチップを含む16のマイクロモジュールが設置されるようにし、かくして35mm×65mm×3.4mmを超えない体積内に0.5Gビットの容量をもつメモリモジュールを構成することを可能にする。

【図面の簡単な説明】

【図1】基板上の2つのメモリチップから成るマイクロモジュールを示す概略的立面図である。

【図2】2対のチップがいかに並置されているかを示す立面図であり、ここで各対の中の2つのチップは図1に示されている配置をもつ。

【図3】60度で交差させられた3つのチップを含むモジュールの図である。

【図4】図1に類似する図であり、本発明の特に有利な実施態様を示す。

【図5】Aは、図4に示されている種類の4つのマイクロモジュールを含むメモリデバイスを示し、Bは、図5に示されている種類のマイクロモジュール内のチップのタブを、サポート上に具備されている母線がいかに接続

7

8

しうるかを示す斜視図である。

【図6】2つの面をもつサポートを含むデバイスを示す。

【図7】図6に類似し、基準化されたパッケージ内への考えられる1つのマウント方法を示す。

【図8】図6に類似し、変形実施態様を示す。

【図9】図6に類似し、変形実施態様を示す。

【図10】親カードとの接続のためにマイクロモジュールをマウントする1つの考えられる方法を示す概略図である。

【符号の説明】

12 支持基板

14, 16, 38, 40 チップ

19, 52 ワイヤ

20, 30, 32 支持ブロック

34, 36, 45, 58 サポート

26, 28 チップ

46 出力タブ

50 母線

54 フレーム

56 密封カバー

60 ブロック

62 壁

64 バネ

10 66 底部

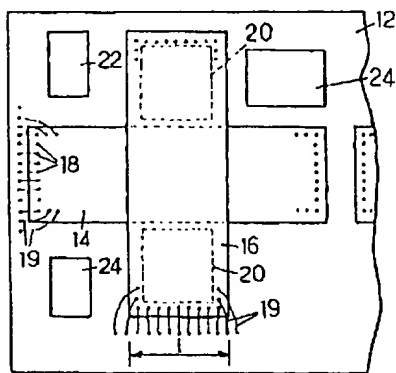
68 親カード

70 コンポーネント

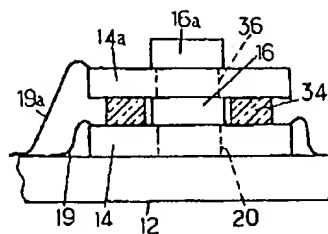
72 ヘアピンバネ

74 出力ピン

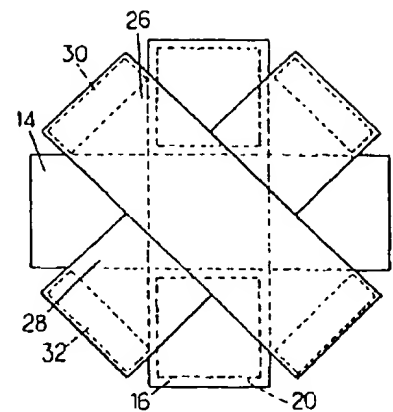
【図1】



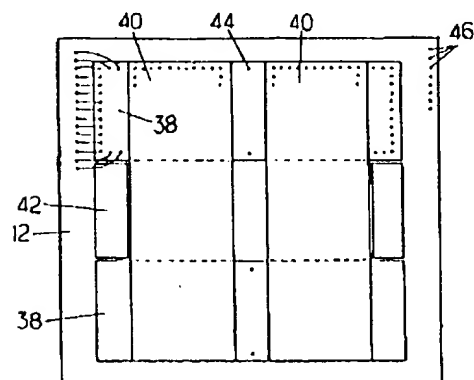
【図2】



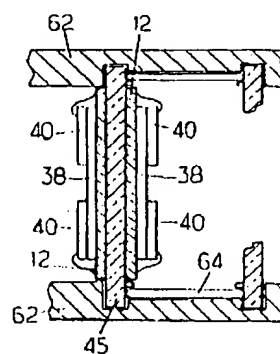
【図3】



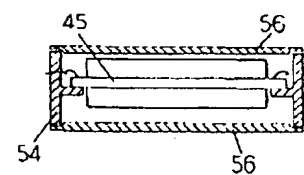
【図4】



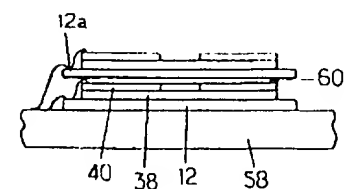
【図6】



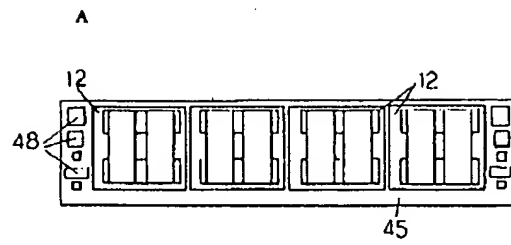
【図7】



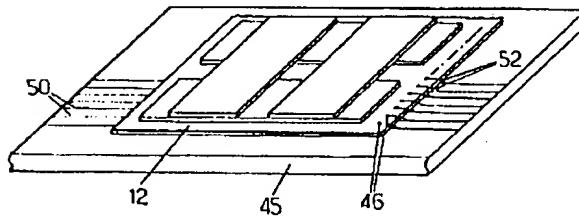
【図8】



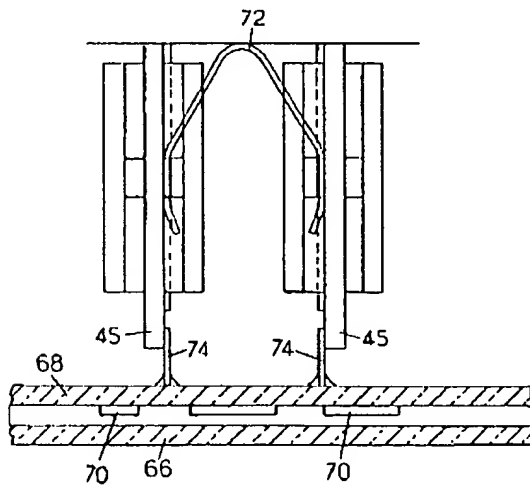
【図5】



B



【図10】



【図9】

